PATENT ABSTRACTS OF JAPAN

(11)Publication number:

11-095726

(43)Date of publication of application: 09.04.1999

(51)Int.CI.

G09G 3/36 G02F 1/133

(21)Application number: 09-258047

(71)Applicant: HITACHI LTD

HITACHI DEVICE ENG CO LTD

(22)Date of filing:

24.09.1997

(72)Inventor: YU HIRONOBU

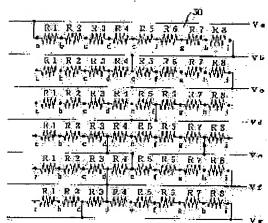
KOSHI HIROBUMI **GOTO MITSURU OTE YUKIHIDE**

WATANABE HIROSHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

PROBLEM TO BE SOLVED: To make more finely adjustable a multi-level voltage generated by a gradation voltage generation means, by making respective voltage divided resistance in a resistance voltage divider circuit synthetic resistance selected form among respective connection points, etc., of plural pieces of serially connected reference resistance.

SOLUTION: Serial resistance circuit 30 in which eight pieces of reference resistance R1-R8 are connected in series between gradation voltage wiring layers Va-Vg where respective gradation voltages are output, are constituted. Then, at least a piece of both ends a, i of the serial resistance circuits 30 and at least a piece of the connection points b-h of the respective reference resistance R1-R8 are connected to adjacent one side of the gradation voltage wiring layers Va-Vg, at least a piece of the both ends a, i of the serial resistance circuits 30 except the circuit 30 connected with the adjacent one side of the gradation voltage wiring layers Va-Vg and at least a piece of the connection points b-h of the respective reference resistance R1-R8 are connected to an adjacent other side of the gradation voltage wiring layers Va-Vg and the voltage divided resistance of a resistance voltage divider circuit are constituted. Thus, resistance values from a minimum R/8 to a maximum 8R are obtained as the voltage divided values of the voltage divided resistance.



LEGAL STATUS

[Date of request for examination]

19.03.2002

[Date of sending the examiner's decision of rejection]

09.12.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3578377

[Date of registration]

23.07.2004

[Number of appeal against examiner's decision of

2004-00518

rejection

[Date of requesting appeal against examiner's decision of 08.01.2004 rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

以(21). (19) 日本国格許庁 (JP)

3 辍 4 盂 照特

(11) 特許出願公開番号

特開平11-95726

(43)公開日 平成11年(1999) 4月9日

		. 919	
	3/36	1/133	
F I	9609	G02F	
解例記号		575	
	3/36	1/133	
(51) Int CL.	G09G	G02F	

全17 頁) 群査部状 未配状 請求項の数4 〇L

(21)出國番号	特顯平9-258047	(71) 田國人	(71)出國人 000005108
(22)出版日	平成9年(1997)9月24日		株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 乗地
		(71) 出版人	_
			日立デバイスエンジニアリング株式会社
			千葉県茂原市早野3681番地
		(72) 発明者	勇 広宜
•			千葉県茂原市早野3300番地:株式会社日立
			製作所由子デバイス事業部内
ė		(72) 発明者	異 协文
٠			千葉県茂原市早野3300番地 株式会社日立
			数作所電子デバイス事業部内
		(74)代理人	(74)代理人 弁理士 秋田 収害
٠			最終頁に統く

(54) [発明の名称] 液晶表示装置

(67) [聚約]

【課題】 ・階調電圧生成手段で生成される多階調虹圧を よりきめ細かく陶整することが可能な液晶表示装置を提

低圧間を分圧して多階調の階調低圧を生成する抵抗分圧 稅された複数個の基準抵抗の各接統点、および直列接続 の前配直列接続された複数個の基準抵抗の各接続点、お 回路を有し、当該抵抗分圧回路の各分圧抵抗は、直列接 よび直列接続された複数個の基準抵抗における両端の基 【解決手段】 階調包圧生成手段で生成された多階調の **格調電圧を映像信号虹圧として各画案に印加する液晶装** 示装置において、階調電圧生成手段は、複数の階調基準 に他の基準抵抗と接続されない端部の中から選択された 少なくとも1個と、前記選択された少なくとも1個以外 草抵抗の互いに他の基準抵抗と接続されない端部の中か された複数個の基準抵抗における両端の基準抵抗の互い 5 選択された少なくとも 1 個との間の合成抵抗である。

WIRZ R3 R4 R5 R6 R7 R

MY WWYWYWYWYWYWYW

WW-WW-WW-WW-WW-WW-WW-WW-WW 図 1 0

(特許請求の範囲)

【静水項1】 マトリクス状に配置された複数の画案を 育する液晶投示パネルと、階調電圧生成手段を有し当該 階閥電圧生成手段で生成された多階閥の階覇電圧の中の 任意の路調電圧を映像信号電圧として前記各画素に印加 する駆動手段とを具備する液晶接示装置において、

園の基準抵抗の各接統点、および直列接続された複数個 の基準抵抗における両端の基準抵抗の互いに他の基準抵 前記階躢電圧生成手段は、複数の階調基準電圧間を分圧 **抗と接続されない端部の中から選択された少なくとも1** 固と、前記強択された少なくとも1個以外の前記直列接 倪された複数個の基準抵抗の各接続点、および直列接統 に他の基準抵抗と接続されない端部の中から選択された 当隊抵抗分圧回路の各分圧抵抗は、直列接続された複数 された複数個の基準抵抗における両端の基準抵抗の互い 少なくとも 1 個との間の合成抵抗であることを特徴とす して多階調の階調電圧を生成する抵抗分圧回路を有し、 る液晶表示装配。

加する電圧と透過率との関係に合わせて所定の重み付け がなされていることを特徴とする静水項1に記載された [散求項2] 前記各分圧抵抗の抵抗値は、液晶層に印 夜晶表示装置。

記層間絶縁膜に散けられ、前記各階調電圧配線層と前記 抵抗を構成する複数の抵抗配線層と、前記各階調電圧配 「開水項3】 前記駆動手段は半導体集積回路で構成さ れ、前記半導体集積回路は、前記多階調の階調低圧が出 力される複数の階調電圧配線圈と、前記複数の階調電圧 配線層と同一方向に延在して散けられる前配複数の基準 原層と前記各抵抗配線層とを絶縁する層間絶縁膜と、前 各抵抗配線쪕とを接続するスルーホールとを有し、

て、前配分圧抵抗の抵抗値を所定の値に調整することを 6位とする朝水項1または静水項2に記載された液晶表 前記スルーホールの数および設置位置を適宜に選択し

こ形成されていることを特徴とする群水項3に記載され 【静水項4】 前記抵抗配線層は、ジグザクパターン状 た液晶表示装置。

[発明の詳細な説明]

[0001]

[発明の属する技術分野] 本発明は、パーソナルコンピ ュータ、ワークステーション等に用いられる液晶表示数 置に係わり、特に、多階調表示が可能な液晶安示装置の 映像信号線駆励回路(ドレインドライバ)に適用して有 効な技術に関する。

9

[0002]

ティブマトリクス型液晶表示装置は、能動発子を介して 【従来の技術】 画素毎に能動案子(例えば、薄膜トラン ジスタ)を有し、この能動索子をスイッチング駆動する アクティブマトリクス型液晶装示装置は、ノート型パン コン等の表示装置として広く使用されている。このアク

[0011]

特開平11-95726

ව

晶表示装置のようにクロストークを防止するための特殊 な駆動方法を用いる必要がなく、多路調表示が可能であ 各画素間のクロストークがなく、単純マトリックス形液 画茶電極に映像信号電圧 (路調電圧) を印加するため、

【0003】このアクティブマトリクス型液晶表示装置 の1つに、TFT (Thin Film Transi べおよびインタフェース部とを備えるTFT方式の液晶 と、液晶数示パネルの上側に配置されるドレインドライ パと、液晶投示パネルの倒面に配置されるゲートドライ ster) 方式の液晶投示パネル (TFT-LCD) 10

内に多階関電圧生成回路を備えている。なお、このよう な技術は、例えば、特願平7-289546号に記載さ **には、多階闘表示を可能にするため、ドレインドライバ** [000.4] このTFT方式の液晶表示モジュールおい 扱示モジュールが知られている。 れている。

[0000]

【発明が解決しようとする課題】前記 ドレインドライベ 内の多階調虹圧生成回路は、電源回路から供給される複 数の階調基準電圧間を分圧する抵抗分圧回路で構成され 印加する包圧と透過率との関係はリニアではなく、透過 率の高いところ、および低いところでは、液晶層に印加 する亀圧に対する透過率の変化は少なく、その中間とな 5. この場合に、図19に示すように、一般に液晶層に るところでは透過率の変化が大きい。 20

[0007]また、近年、液晶按示装置においては、6 [0006] そのため、前記ドレインドライバゼの多階 岡電圧生成回路を構成する抵抗分圧回路の各分圧抵抗の 抵抗値は同一ではなく、液晶層に印加する低圧と透過率 4階隅表示から256階間接示へとより多階調表示が進 との関係に合わせて所定の重み付けが成されている。

虹圧生成回路を構成する抵抗分圧回路の各分圧抵抗の抵 **抗値を精細に調整することが要望されている。しかしな** [0008] そして、このような多階間の投示画像を液 晶数示パネルにリニアに表示するためには、この多階調 がら、従来の多階關電圧生成回路においては、抵抗分圧 回路の各分圧抵抗の抵抗値を精細に調整することが困難 みつつある。

弘圧をよりきめ細かく調整することが可能となる技術を るためになされたものであり、本発明の目的は、液晶表 示装置において、階調電圧生成手段で生成される多階調 [0009] 本発明は、前記従来技術の問題点を解決す 単供することにある。 であった。

[0010] 本発明の前記目的と新規な特徴は、本明細 4の記述及び添付図面によって明らかになるであろう。 【課題を解決するための手段】本願において開示される 発明のうち、代表的なものの概要を簡単に説明すれば、

20

-2-

+

€

単抵抗の各接続点、および直列接続された複数個の基準 搭詞の階調電圧を生成する抵抗分圧回路を有し、当該抵 坑分圧回路の各分圧抵抗は、直列接続された複数個の基 抵抗における両端の基準抵抗の互いに他の基準抵抗と接 前記録択された少なくとも 1 個以外の前記直列接続され 【0012】マトリクス状に配置された複数の画素を有 **rる液晶扱示パネルと、階岡電圧生成手段を有し、当該 塔岡町圧生成手段で生成された多階調の階調電圧の中の 王党の階調電圧を映像信号電圧として前記各画素に印加** する駆動手段とを具備する液晶表示装置において、前記 塔調電圧生成手段は、複数の階調基準電圧を分圧して多 た複数個の基準低抗の各接続点、および直列接続された **複数個の基準抵抗における両端の基準抵抗の互いに他の** 【0013】また、前記邸動手段は半導体集積回路で構 **塔型抵抗と接続されない 臨即の中から選択された少なく 読されない癌部の中から選択された少なくとも1個と、** とも1個との間の合成抵抗であることを特徴とする。

10

が出力される複数の階甌電圧配線層と、前記複数の階調 [0014] さらに、前記各分圧抵抗の抵抗値は、液晶 基準抵抗を構成する複数の抵抗配線層と、前記各階顯電 成され、前記半導体集積回路は、前記多階調の階調電圧 **昭圧配線層と同一方向に延在して殴けられる前記複数の** と、前記層間絶縁膜に設けられ、前記各階調電圧配線層 し、前記スルーホールの数および段置位置を適宜に選択 して、前記分圧抵抗の抵抗値を所定の値に調整すること と前記各抵抗配線層とを接続するスルーホールとを有 圧配線層と前配各抵抗配線層とを絶縁する層間絶縁膜 を特徴とする。

唇に印加する粒圧と透過率との関係に合わせて所定の重 み付けがなされていることを特徴とする。 [0015]

30

[発明の典施の形態] 以下、本発明実施の形態を図面を な眠った説明する。

[0017] 図1は、本発明の実施の形態1のTFT方 [0016] なお、発明の実施の形態を説明するための 全図において、同一機能を有するものは同一符号を付 け、その繰り返しの説明は省略する。

[0018] 本実施の形態の液晶表示モジュール (LC M) は、液晶数示パネル (TFT-LCD) 10の上側 にドレインドライバ130が配置され、また、液晶表示 式の液晶扱示モジュールの概略構成を示すプロック図で

トドライベ140も、それぞれ専用のプリント基板に実 パネル10の窗面に、ゲートドライバ140、インタフ [0019] インタフェース部100はインタフェース 茲板に奥装され、また、ドレインドライバ130、ゲー ェース部100が配置される。

20 [0020] 図2は、図1に示す液晶数示パネル10の

[0030] 図1に示すインタフェース部100は、装

-例の毎毎回路を示す図である。

[0021] なお、図2は回路図であるが、実際の幾何 夜晶表示パネル10は、マトリクス状に形成される複数 学的配置に対応して描かれており、同図に示すように、

52本の信号級 (ゲート信号線 (G) またはドレイン信 [0022] 各画繋は、隣接する2本の信号線 (ドレイ ン信号級(D)またはゲート信号級(G))と、隣接す 号線 (D)) との交差領域内に配置される。

O2)との間に液晶層 (LC)が設けられるので、韓酸 トランジスタ (TFT1, TFT2) のソース電極とコ モン電極 (ITO2) との間には、液晶容量 (CLC) が に接続され、画素電極(I TO 1)とコモン電極(I T 【0023】各画素は疎膜トランジスタ(TFT1, T 1, TFT2) のソース電極は、画衆電極 (ITO1) FT2)を有し、各画繋の緯酸トランジスタ(TFT 等価的に接続される。

T2)のソース電極と前段のゲート信号線(G)との間 【0024】また、韓膜トランジスタ (TFT1, TF には、付加容量(CADD)が接続される。

20

【0025】図3は、図1に示す液晶投示パネル10の 他の例の等価回路を示す図である。

(G) とソース電極との間に付加容量 (CADD) が形成 されているが、図3に示す例の等価回路では、共通信号 [0026] 図2に示す例では、全段のゲート信号線 段(COM)とソース電極との間に保持容量(CST G)が形成されている点が異なっている。

前者の方式では、全段のゲート信号線 (G) パルスが付 加容量 (CADD) を介して回案電極 (ITO1) に飛び より良好な表示が可能となる。なお、図2および図3に (0027] 本発明は、どちらにも適用可能であるが、 込むのに対し、後者の方式では、飛び込みがないため、 おいて、ARは表示領域である。

れドレイン信号級(D)に接続され、各ドレイン信号級 0 において、列方向に配置された各画界の苺膜トランジ スタ (TFT1, TFT2) のドレイン配極は、それぞ (D)は、列方向に配置された画素の液晶に映像信号電 圧 (表示データ電圧) を印加するドレインドライバ13 [0028] 図2あるいは図3に示す液晶表示パネル] 0に接続される。

(TFT1, TFT2)のゲートに走査駆動電圧(正の 薄膜トランジスタ (TFT1, TFT2) のゲート電極 は、それぞれゲート信号線(G)に接続され、各ゲート ートドライバ140に被続される。ここで、図1に示す **疫晶投示パネル10は、640×3×480回繋から構** [0029]また、行方向に配置された各画案における パイアス電圧あるいは負のパイアス電圧)を供給するゲ 間号線 (G)は、1水平走査時間、薄膜トランジスタ

信号、水平同期信号、垂直同期信号の各表示制御信号お よび表示用データ (R・G・B) を基に、ドレインドラ イバ130、および、ゲートドライバ140を制御・駆 [0031] 表示制御装置110は、1個の半導体集積 回路 (LSI) から格成され、コンピュータ本体固から **送信されてくるクロック信号、ディスプレイタイミング**

し、受け取った単純1列の表示データを、接示データの ミング信号が入力されると、これを表示開始位置と判断 ペスライン133を介してドレインドライベ130に出 [0032] 数示制御装置110は、 ディスプレイガイ

5を介して供給される。

【0033】その際、表示制御装置110は、ドレイン ドライパ130のデータラッチ回路に扱示データをラッ チするための扱示制御倡号である扱示データラッチ用ク コック (D2) を信号級131を介して出力する。

育(B)の各データを1つの組にして単位時間毎に転送 [0034] この場合に、本体コンピュータ側からの設 する。ここで、投示データは、各色毎6ピットの18ピ **示データは、1回禁単位、即ち、赤(R)、繰(G)、** ットで辞扱されている。

20

が過ぎると、1木平分の表示データが終了したものとし て、ドレインドライパ130のラッチ回路に蓄えていた [0035]また、数示制御装置110は、ディスプレ イタイミング信号の入力が終了するか、または、ディス プレイタイミング信号が入力されてから所定の一定時間 数示データを液晶表示パネル10のドレイン信号線

ング制御用クロック (D1)を信号級132を介してド (D) に出力するための表示制御信号である出力タイミ レインドライベ130ド田力する。

号入力後に、第1番目のディスプレイタイミング信号が 入力されると、これを第1番目の表示ラインと判断して 信号線142を介してゲートドライバ140にフレーム 【0036】また、投示制御装置110は、垂直同期倡 開始指示信号を出力する。

印加するように、信号線141を介してゲートドライバ [0037] さらに、扱示制御装置110は、水平同期 ネル10の各ゲート信号線 (G) に正のパイアス電圧を 信号に基づいて、1 木平走査時間毎に、順次液晶扱示べ 140~1水平走査時間周期のシフトクロックであるク ロック (G1) を出力する。

40

5。以上の助作により、液晶投示パネル10に画像が扱 (TFT1, TFT2) が、1水平走査時間の間導通す [0038]これにより、液晶数示パネル10の各ゲー ト信号線(G)に接続された複数の草膜トランジスタ

[0039] 図1に示す電源回路120は、正亀圧生成 回路121、負電圧生成回路122、コモン電極(対向 塩極) 電圧生成回路123、ゲート電極電圧生成回路1

24から構成される。

下制御装置110と電源回路120とから構成される。

の5値の階調基準電圧 (V0~V4)を、負電圧生成回 インドライバ130には、扱示制御装置110からの交 流化信号 (交流化タイミング信号;M) も、信号線13 22は、それぞれ直列抵抗分圧回路で構成され、正極性 各ドレインドライバ130に供給される。また、各ドレ [0040] 正電圧生成回路121、角電圧生成回路1 路122は負極性の5値の階調基準電圧(V5~V9) 4)、および負極性の階調基準電圧(V5~V9)は、 を出力する。この正極性の階調基準電圧(V0~V 2

2)のゲートに印加する駆動電圧 (正のパイアス電圧お 涵(1 TO2)に印加する駆動電圧を、ゲート配極電圧 生成回路124は韓膜トランジスタ (TFT1, TFT [0041] コモン電極電圧生成回路123はコモン電 よび負のパイアス電圧)を生成する。

[0042] 一般に、液晶層 (LC) は、長時間同じ電 田 (直流電圧) が印加されていると、液晶層 (LC) の 傾きが固定化され、結果として残像現象を引き起こし、 液晶層 (LC) の寿命を縮めることになる。

をある一定時間毎に交流化、即ち、コモン電極(1 TO 1) に印加される液晶駆動電圧を、一定時間毎に正電圧 [0043] これを防止するために、従来の液晶表示装 置においては、液晶層(LC)に印加する液晶駆動電圧 2) の液晶駆動電圧を基準にして、画茶電極 (ITO

の方法が知られている。コモン反転法とは、コモン価値 (ITO2) と画茶電極 (ITO1) に印加される低圧 ン電極(1TO2)に印加される電圧を基準にして、交 を共に交互に反怔させる方法であり、また、コモン対称 定とし、画素電極(ITO1)に印加する電圧を、コモ 【0044】この液晶層 (LC) に交流電圧を印加する 駆動方法として、コモン対称法とコモン反転法の2通り 法とは、コモン館栖(ITO2)に印加される電圧を一 **剛/負電圧側に変化させるようにしている。**

30

う欠点があるが、低消費電力と表示品質の点で優れてい 1) に印加される亀圧の版幅が、コモン反転法の場合に 比べ2倍となり、低電圧のドライバが使用できないと言 るドット反転法あるいはVライン反転法が使用可能であ る。本実施の形態の液晶表示モジュールでは、その駆動 [0045] このコモン対称法は、国衆電極(ITO 互に正、負に反転させる方法である。

[0046] 図4は、図1に示すドレインドライバ13 圧、即ち、画紫電極(1 TO1)に印加される液晶駆動 **電圧と、コモン電極(1丁〇2)に印加される液晶駆動** Dからドレイン信号線 (D) に出力される液晶駆動電 方法として、前記ドット反転法を使用している。

[0041] なお、図4では、ドレインドライベ130 は、液晶投示パネル10の表示面に異を投示する場合の からドレイン信号線(D)に出力される液晶駆動電圧 **駐圧との関係を示す図である。**

-4-

20

[0048] 図4に示すように、ドレインドライベ13 であれば、偶数番目のドレイン信号線(D)に出力され る液晶駆動電圧(VDL)は負極性(または正極性)で Oから奇数番目のドレイン信号線 (D) に出力される液 2) に印加される液晶駆動電圧 (VCOM) に対して逆 晶駆動電圧 (VDH) と、ドレインドライバ130から 出力される個数番目のドレイン信号線(D)に出力され 極性、即ち、奇数番目のドレイン信号線(D)に出力さ れる液晶駆動電圧(VDH)が正極性(または負極性) る液晶駆動電圧 (VDL) とは、コモン電極 (ITO

れ、さらに、各ライン毎の極性が、フレーム毎に反転さ [0049] そして、その極性は1ライン毎に反転さ

隣り合うドレイン信号線 (D) に印加される電圧が逆極 (G) に流れる電流が隣同志で打ち消し合い、消費電力 [0050] このドット反転法を使用することにより、 性となるため、コモン電極(ITO2)やゲート電極 を低減することができる。

[0051] また、コモン電極 (ITO2) に流れる电 **税が少なく電圧降下が大きくならないため、コモン電極** (ITO2) の低圧レベルが安定し、投示品質の低下を **最小限に抑えることができる。** [0052] 図5は、図1に示すドレインドライバ13 0の一倒の概略梅は示すプロック図である。 なお、ドレ インドライバ130は、1個の半導体集積回路(LS 1)から符成される。

51aは、正00圧生成回路121から入力される正極性 の5値の階調基準電圧 (VO~V4) に基凸いた、正極 性の64階調分の階調館圧を生成し、電圧パスライン1 588を介して出力回路157に出力する。負極性階額 電圧生成回路151bは、負電圧生成回路122から入 力される負極性の5値の路調基準

位といるへい

いちへい

りに 基づいて、負極性の64階調分の階調電圧を生成し、電 圧パスライン1586を介して出力回路157に出力す [0053] 同図において、正極性階調電圧生成回路]

152内のシフトレジスタ回路153は、表示制御装置 【0054】また、ドレインドライバュ30の制御回路 110から入力される表示データラッチ用クロック (D 2) に基ろいて、入力レジスタ回路154のデータ取り 込み用信号を生成し、入力レジスタ回路154に出力す

ッチ用クロック (D2) に同期して、各色毎6ビットの タ回路153から出力されるデータ取り込み用信号に基 づき、表示制御装置110から入力される表示データラ [0055] 入力レジスタ回路154は、シフトレジス 表示データを出力本数分だけラッチする。

20 [0056] ストレージレジスタ回路155は、扱示制

御装置110から入力される出力タイミング制御用クロ ック (D1) に応じて、入力レジスタ回路154内の装 示データをラッチする。このストレージレジスタ回路1 5 5 に取り込まれた表示データは、レベルシフト回路1 56を介して出力回路157に入力される。

[0057] 出力回路157は、正極性の64階調分の 塔隅亀圧、あるいは負極性の64階調分の階間電圧の中 から、表示データに対応した1つの階間億圧を選択し、 各ドレイン信号級(D)に出力する。

図5に示すドレインドライベ130の構成を説明するた [0058] 図6は、出力回路157の構成を中心に、 めのブロック図である。 [0059] 同図において、153は図5に示す削御回 レベルシフト回路であり、また、データラッチ部265 は、図5に示す入力レジスタ回路154とストレージレ 1、アンプ回路対263、アンプ回路対263の出力を 切り替えるスイッチ部(2)264が、図5に示す出力 路152内のシフトレジスタ回路、156は図5に示す ジスタ回路155とを表し、さらに、デコーダ部26 回路157を構成する。 [0060] ここで、スイッチ部 (1) 262およびス イッチ哲(2)264は、 交流化信号(M)に基づいた **制御される。また、Y1, Y2, Y3, Y4, Y5, Y** 6は、それぞれ第1番目、第2番目、第3番目、第4番 目、第5番目、第6番目のドレイン信号線 (D)を示し

は、スイッチ部(1)262により、データラッチ部2 に入力されるデータ取り込み用信号を切り替えて、各色 毎の投示データを各色毎の隣接するデータラッチ部26 【0061】図6に示すドインドライパ130において 65 (より群しくは、図5に示す入力レジスタ154) 5に入力する。

30

5 1 a から電圧パスライン 1 5 8 a を介して出力される 正極性の64階調分の階調電圧の中から、各データラッ チ部265(より詳しくは、図5に示すストレージレジ スタ155)から出力される表示用データに対応する階 電圧生成回路 1516から電圧パスライン 1586を介 タに対応する階間電圧を選択する低電圧用デューダ回路 279とから構成される。この高電圧用デコーダ回路2 明電圧を選択する高電圧用デコーダ回路278と、階調 [0062] デコーダ部261は、階調電圧生成回路1 ら、各データラッチ部265から出力される数示用デー 7 8と低電圧用デコーダ回路279とは、隣接するデー して出力される負極性の64階闘分の階関電圧の中か タラッチ部265年に設けられる。

9

路278で選択された正極性の階隔電圧が入力され、高 [0063] アンプ回路対263は、南韓圧用アンプ回 路271と低低圧用アンプ回路272とにより構成され る。高電圧用アンプ回路271には高電圧用デコーダ回 電圧用アンプ回路271は正極性の液晶駆動低圧を出力

低電圧用アンプ回路272は負極性の液晶駆動電圧を出 する。低低圧用アンプ回路272には低低圧用デューダ 回路279で避択された負極性の階間電圧が入力され、

正極性あるいは負極性の映像倡号電圧を出力することが 圧用アンプ回路272となるので、スイッチ部 (1).2 [0064] ドット反転法では、隣接する各色の映像債 号低圧は互いに逆極性となり、また、アンプ回路対26 62により、データラッチ部165に入力されるデータ 各色毎の隣接するデータラッチ部265に入力し、それ 圧が出力されるドレイン信号線 (D) 、例えば、第1番 4とに出力することにより、各ドレイン信号級 (D) に 3.の高電圧用アンプ回路27.1 および低電圧用アンプ回 路272の並びは、禹電圧用アンプ回路271→低電圧 用アンプ回路272→高亀圧用アンプ回路271→低電 に合わせて、高低圧用アンプ回路271あるいは低電圧 用アンプ回路272から出力される出力低圧を、スイッ **子部(2)264により切り替え、各色毎の映像信号電** 目のドレイン信号線 Y1と第4番目のドレイン信号線 Y 取り込み用信号を切り替えて、各色毎の表示データを、

ころ、および低いところでは、液晶層に印加する処圧に [0065] 図19に示すように、液晶層に印加する電 圧と強適辱との関係はリニアではなく、強適率の高いと 対する透過率の変化は少なく、その中間となるところで は透過率の変化が大きい。

小さく、それ以外の (V0~V2、V6~V8) で差が 6 4 塔調の階調低圧を生成し、6 4 陸関の表示画像を略 64階間の表示画像をリニアに投示するために、虹頭回 路から供給される、中間關付近(V2∼V6)では整が 大きい9値の階調基準低圧(V0~V8)間を分圧して [0066] そのため、従来の階調電圧生成回路では、 リニアに数示するようにしている。

附成する。

30

基準電圧との間を8分割するR81~R88の抵抗分圧 成を示す回路図であり、周図 (a) に示すR1~R8の 回路と、V1の路線基準電圧とV0の路隔基準電圧との [0067] 図7は、従来の路間包圧生成回路の回路構 抵抗は、各階調基準低圧閒に披続される抵抗分圧回路の 合成抵抗を示し、同図 (b) は、各階調基準億圧間に接 間を7分割するR11~R17の抵抗分圧回路とを図示 では、簡略化のため、V8の階調基準電圧とV7の階調 **続される抵抗分圧回路を示している。なお、同図 (b)** しており、他の部分は省略してある。

所定の道み付け、例えば、図8 (a) に示すような重み 電圧間に接続される抵抗分圧回路の各分圧抵抗の抵抗値 [0068]この場合に、各階調基準電圧間に接続され 階調電圧生成回路を構成する抵抗分圧回路に流れる電流 が略一定となるように設定される。さらに、各階調基準 は、液晶圏に印加する電圧と透過率との関係に合わせて る抵抗分圧回路の合成抵抗 (R1~R8)の抵抗値は、

9

特開中11-95726

2

やすい値を選択している。また、Va~Viは烙調配圧 を () 付きの数字で表し、また、重み付けの値は説明し [0069] なお、図8 (a) では、重み付けの値

[0070] 図8 (a) ではRc、Rd、Re、Rfの 2 (Rc、Rd、Re、Rfの抵抗値の1.2倍)、R a、Rhの框抗値は2 (Rc、Rd、Re、Rfの抵抗 抵抗値を1.0とした場合、Rb、Rgの抵抗値は1. 値の2倍)となるように重み付けを行っている。

[0071] この場合に、図8 (b) に示すように、従 5本並列に接続(全体の抵抗値はR/5)したものを使 引し、さらに、Ra、Rhの抵抗として抵抗Rを3本並 接続したものを使用し、即ち、Rc~Rfの抵抗として **抵抗Rを6本並列に接続(全体の抵抗値はR/6)した** らのを使用し、また、Rb、Rgの抵抗として抵抗Rを **米の抵抗分圧回路では、同一の抵抗値の抵抗Rを並列に** 列に接続 (全体の抵抗値をR/3) したものを使用す

[0072] これにより、Rb、Rgの抵抗を、Rc~ R f の抵抗の1.2 (=6/5) 倍の抵抗値に、また、 Ra、Rhの抵抗を、Rc~Rfの抵抗の2 (=6/ 3) 倍の抵抗としている。

20

[0073] 図9は、半導体チップ内での、従来の階間 弘圧生成回路のレイアウトを示す図である。従来の階額 **虹圧生成回路は、アルミニウム等で階間配線図19を形** り形成され、前記階調配線層19に直交する抵抗配線層 20を散け、この階調配線層19と抵抗配線層20とを スルーホール21で接続して、前記した並列抵抗回路を **苡し、その下に뤕間絶縁膜を介して、拡散抵抗膜等によ**

は、基準となる抵抗値(図8(a)に示すRc~Rfの 8杭の抵抗値)がR/m、重み付けされる抵抗値(図8 [0074]しかしながら、この従来の抵抗分割回路で (a) に示すRa, Rb, Rg, Rhの抵抗の抵抗値) がR/nとなり、重み付けの値はm/nとなる。

されているが、この場合には、この路関電圧生成回路を る電圧と透過率との関係に合わせて、よりきめ細かな重 [0075] そして、近年、液晶数示パネル10に、よ りリニアに64階鯛の数示画像を扱示できることが要望 格成する抵抗分圧回路の各分圧抵抗を、液晶層に印加す み付けを行う必要がある。

40

を、よりきめ細かく国み付けを行う場合には、mの値が トきくしなければならず、そのため、並列に接続される 55元の数が多くなるという問題点があり、その重み付け [0076]ところが、従来の階調電圧生成回路では、 搭調館圧生成回路を構成する抵抗分圧回路の各抵抗値 が限定されていた。

生成回路151a、あるいは負極性階調電圧生成回路1. 0077]図10は、本実施の形態の正極性階調電圧

S

-9-

6

らVgの路調電圧までの分圧抵抗回路を示している。

R4の抵抗1個からなるRの抵抗と、R5からR7 並列に接続されて、この分圧回路の抵抗値は0.8Rと R3の抵抗1個からなるRの抵抗と、R4からR8 までの基準抵抗が5個直列に接続された5Rの抵抗とが 並列に接続されて、この分圧回路の抵抗値は0.83R は8Rとなり、同様に、VbとVcとの階調電圧配線層 とVdとの階調電圧配線層との間には、RSの基準抵抗 [0080] また、VdとVeとの路調電圧配線層との R7までの基準抵抗が3個直列に接続された3Rの抵抗 までの基準抵抗が4個直列に接続された4Rの抵抗とが なり、さらに、VfとVsとの悋悶館圧配級層との間に 間には、R4の抵抗1個からなるRの抵抗と、R5から とが並列に接続されて、この分圧回路の抵抗値は0.7 [0019] 倒えば、図10に示すように、VaとVb との階間電圧配線層との間には、R1からR8までの基 **単抵抗が8個直列に接続されて、この分圧回路の抵抗値** との間には、RらからR8までの基準抵抗が4個直列に 接続されて、この分圧回路の抵抗値は4Rとなり、V c が1個接続されて、この分圧回路の抵抗値はRとなる。 5Rとなり、VoとVfとの階調電圧配線層との間に

[0082] 図11は、半導体チップ内での、本実館の 形態の路調覧圧生成回路のレイアウトを示す図であり、 同図 (a) はその平面を示す平面図、同図 (b) はスルーホール部分の断面を示す評面図である。 なお、図11 では、簡略化のためにV04の階調電圧からV08の階 回電圧までと、R1からR4の抵対までのレイアウトの

一例を示している。

【0083】本実施の形態では、アルミニウム等で格頭配線庫19を形成し、その下に層間絶縁膜22を介して、ポリシリコン、拡散低抗膜等により形成され、前記階頭は線属19と同一方向に延在する抵抗配線層20とをスルーホール21で接続して、各抵抗分量回路の分圧回路を構成する。この場合に、スルーホール21の数およびその位置の変更は、スルーホール光成用のホトマスクを変更することにより対応可能である。

[0084] 図11に示す例では、V04とV05との 格調電圧の間においては、スルーホール21aでV04 の路調電圧の路関配換層19に抵抗配線層20が接続さ れ、また、スルーホール21dでV05の路関電圧の階 両配線層19に抵抗配線層20が接続される。したがっ て、スルーホール21aと21dとの間には、抵抗R

て、メルーホール218と216との向には、疫れに1, R2, R3が3個直列に接続され、V04とV05との路調電圧の関の分圧抵抗の抵抗値は3Rとなる。

[0085] V05とV06との路間衛圧の間においては、スルーホール21aでV05の路頭衛圧の路回記路路19に抵抗配路器20が接続され、また、スルーホール214でV06の路頭電圧の路頭配路路19に抵抗配額路20が接続される。したかって、スルーホール21aとの間には、抵抗R1、R2、R3が3個直到に接続され、V05とV06との路頭距圧の間の分圧抵抗の抵抗値は3Rとなる。

[0086] V06とV07との時間電圧の間においては、スルーホール21 eでV06の時間電圧の階間配線 图19に抵抗起線图20が接続され、また、スルーホール21 dでV07の路間電圧の階間配線图19に抵抗起線層20が接続される。したがって、スルーホール21 dと21 eとの間には、抵抗R4が接続され、V06とV07との階間にの間の分圧抵抗の抵抗値はR2な

[0088]また、本実施の形態の階頭位圧生成回路を 間えるドレインドライベ130では、その半導体チップ の長辺方向(ドレイン信号級(D)と底交する方向)は 若干長くなるが、その短辺方向(ドレイン信号級(D) と同一の方向)は短くすることが可能である。そのた

13

8

め、液晶投示・ジュール(LCD)の投示療域以外の腐壊、 町も、 鑑練部分を小さくすることが可能である。 [0089] 図12は、 本実館の形態の正徳性階額配圧

[0090] 従来の路隣地圧生成回路では、その抵抗分圧回路の分圧回路の分圧回路の抗量をきか細かく設定できなかっため、図19に示す強過率と程圧との関係を変すグラフを8個の折り線からなる折り線グラフで近似し、その折り線グラフの各折り曲げ点の電圧に相当する9値の階周基準電圧を低源回路から供給し、その9値の階調基準電圧制を発送の任比の抵抗分圧回路で分圧するように

[0091]しかしながら、本実施の形像では、階調電圧生成回路を構成する抵抗分圧回路の各分圧抵抗の抵抗値をよりきめ細かく散定することが可能であるため、正電圧生成回路121(または負電圧生成回路122)から入力される階調基準値圧の数を、従来の9値か55億(例えば、図19に示すV0、V1、V3、V6、V8の降調基準値圧)に少なくなくすることができる。

(10092) 2013は、本英値の影響の流電表でディーの10092] 2013は、本英値の影響の流電表表でデジュールの離立完成で、流晶数ポパネの数示によっの報点のから、たって、本英値の深速がは、ないのである。 2014は、本英値の影響の流晶数示・デュールの超立完成図で、流晶数示・パネルの凝固感から見た図

[0093] 本契約の形態の液晶を示モジュールは、モールドケース (ML)、シールドケース (SHD) を縮える。HLD1, HLD2, HLD3およびHLD4は、モールドケース (ML)、シールドケース (SHD) にモルギカース (ML)、シールドケース (SHD) にそれぞれ設けられる吸付穴である。当該液晶を形・モジュールは、この4個の吸げべにネジ等を通してノートバンコン等に実抜される。バックライトを駆撃するトバンコン等に実換される。バックライトを駆撃するトンパンコの間の回部に配置され、接続コネクタ (LC I)、ランプケーブル (LC P1, LC P2) を介して オンプケーブル (LC P1, LC P2)を介して オンプケーブル (LC P1, LC P2)を介して オ酸極電光が (LP) に駆撃を配

[0094]コンピュータ本体図からの投示データ、投示影響信むなけび配数は、モジュール域面に位配するインテンコープコネクタ(CTI)を介して、インタフェーココ・0に非さましょ

ース部100に供給される。 【009.5】図15(a)は、図13に示す液晶数示や ジュールの1-1線で均断した節固図、図15(b)

特開平11-95726

14

ホモジュールの111-111様へ改善した評価区、図16(b)は、図13六ポナ済画数ポモジュールの1V1V様へ2所した新田図らある。

【0096】図15、図16において、SHDは液晶表示パネルの周辺および液晶表示パネルの駆動回路を覆うシールドケース(上回ケース)である。MLはイックライトコニットを収斂するモールドケース(下側ケース)である。LF1および上P2は下側ケース(ML)を覆う第1および第2の下側シールドケースである。

[0097] WSPCはパックライトコニットの周囲を覆う枠スペーサである。SUB1およびSUB2は、液晶表示ペネルを構成するガラス基板である。図16においては、ガラス基板 (SUB1) は薄膜トランジスタ(TFT1, TFT2) および商業電艦(1T01) が形成されている基板、ガラス基板 (SUB2) はカラーフィルタおよびコモン電艦(1T02) が形成される基板をある。

10

[0098] FUSは対止材であり、BMはガラス基板 (SUB2) に形成された遮光隙、POL1はガラス基 20 板 (SUB2) に貼付けられる上幅光板、POL2はガラス基板 (SUB1) に貼付けられる下層光版、VINC1はガラス基板 (SUB2) に貼付けられる視野拡大フィルム、VINC2はガラス基板 (SUB2) に貼付けられる視野拡大フィルムである。

[0099] 本実施の形態では、ガラス基板 (SUB 1, SUB2) に視断拡大フィルム (VINC1, V INC2) を貼付けることにより、コーザが見る角度によりコントラストが変化する流晶安示パネル格有の問題である、現所依存性をなくしている。なが、規即拡大フィール・バンパン・・ロコギー

ルム (VINC1, VINC2) は、幅光板 (POL 1, POL2) の外側に貼り付けてもよいが、視断拡大 フィルム (VINC1, VINC2) を偏光板 (POL 1, POL2) とガラス基板 (SUB1, SUB2) の 間に殴けることにより、視野拡大効果を増大することが

30

[0100] LPは冷陸指進光灯、LSはランプ反対シート、GLBは導光板、RFSは反対シート、SPSはプリズムシートである。PORは偏光反射板であり、液晶板ボベネルの卸度を向上させるために影けられている。 G光反対板 (POR) は徐定の偏光軸の光のみを激過し、それ以外の個光軸の光は反射する性質を持つている。 したがって、個光反対板 (POR) の磁過する個式を存在でしてより、確米圧偏光板 (POL2) や吸収されていたたより、値米圧射板 (POR) と導光板 (GLB) との間で行ったり表示りしている側に、下偏光板 (POL2) を 協過する個光に変化されて偏光反対板 (POR) から射出されるので、液晶表形パネルのコントラストを向上針出されるので、液晶表形パネルのコントラストを向上

[0101] 枠スペーサ (WSPC) は導光板 (GL

20

切断した断面図、図16 (a) は、図13に示す液晶表

は、図13に示す液晶表示モジュールの11-11線で

20

陸極蛍光灯 (LP) を交換するときにランプ反射シート*:20 ある。LPC3は冷陰極蛍光灯・(LP) に駆動電圧を供 給するランプケーブルであり、実数スペースを取らない。 (LS) とともに交換することができ、ランプケーブル… C) とランプ反射シート(LS)との間に散けられる。: (LPC3) をランプ反射シート(LS) から外す必要 このランプケーブル (LPC3) は両面テニブによりラ ンプ反射シート (LS) が貼り付けられているので、A [0102] GC1は枠スペーサ (WSPC) とガラス 基板 (SUB1) との間に散けられるゴムクジションで から苗周波の電流が温れだすのを防止するため、誘電率 L)は冷陸極蛍光灯(LP)が導光板(GLB)と銜突 とランプ反対シート (LS) との間のクッションの働き をする。Oリング(OL)は冷陰極蛍光灯(LP)の発 光輝度が低下しないように透明な合成樹脂材料で構成さ [0103] OLHOリングで、冷陰極蛍光灯 (LP) れる。また、〇リング(〇L)は冷陰極蛍光灯(LP) の低い絶縁材料で構成される。さらに、0リング(0 ようにフラットケーブルからなり枠スペーナ。(WSP がなく、帝陰極蛍光灯(LP)の交換が容易である。 するのを防止するクッションの働きもする。

号級 (D) に映像信号電圧を供給するドレインドライバ 130を構成する半導体チップであり、ガラス基板(S UB1) 上に実装されている。この半導体チップ (IC 1) はガラス基板 (SUB1) の一方の辺にのみ実装さ れているので、半苺体チップ (101) が奥抜された辺 と対向する辺の額縁領域を小さくすることができる。ま た、冷陸極蛍光灯 (LP) およびランプ反射シート (L は、ガラス基板(SUB1)の半導体チップ(IC を、液晶表示モジュール内にコンパクトに収納すること [0104] IC1は液晶数形パネル10のドレイン僧 1) が実装された部分の下側に重ねて配置されるので、 冷陰極蛍光灯 (LP) およびランプ反射シート (LS)

20 もガラス基板(SUB1)の一方の辺にのみ実装されて Oを構成する半導体チップであり、ガラス基板(SUB 【0105】I C 2 は液晶表示パネル10のゲート信号 (G) に走査駆動電圧を供給するゲートドライバ14 1) 上に実装されている。この半導体チップ (1 C 2)

いるので、半尊体チップ (102) が実装された辺と対

[0106] FPC1はゲート信号線側フレキシブルブ リント基板で、ガラス基板 (SUB1)の外部端子に異 向する辺の額縁関城を小さくすることができる。

方性導電膜により接続され、半導体チップ(1 C 2)に 電源および駆動信号を供給する。FPC2はドレイン信 B級側フレキシブルブリント基板で、ガラス基板 (SU B1)の外部端子に異方性導電膜により接続され、半導 フレキシブルブリント基板 (F.P.C.1, F.P.C.2) 上に は抵抗、コンデンサ等のチップ部品(EP)が実抜され 体チップ (IC1) に電源および駆動信号を供給する。

は、スレキシブルブリント語板。(FPC2) 上に実装されるデッブ部品 (E,P) のスペーナを確保するための切 [0107] 本奥施の形態では、液晶表示パネル10の 額縁領域を縮小するために、フレキシブルブリント基板 (FPC2) はランプ反射シート(じS)を包むように の一部 (も部) はパックライトユニットの英のモールド ケース (ML) と第2のシールドケースとの間に挟まれ 折り曲げられ、フレキシブルブリンド 括板 (FPC2) て固定される。そのため、モールドケース (ML) に り抜きが設けられている。

部)と、多層配線のための厚きの厚い部分(b部)とで 構成される。また、本契施の形態では、下側シールドケ ースを第1の下側シールドケース(LF1)と第2の下 **園シールドケース(LF2)とで構成し、当数2つの下** 関シールドケース(LF1,LF2)で液晶表示モジュ **ールの英面を扱うようにしたので、第2の下向シールド** S)を露出させることができるので、冷陰極蛍光灯(L ケース (LF2) を取り外せばランプ反射シート (L は、折り曲げを容易とするための薄い厚さの部分(a 【0108】 フレキシブルブリント基板 (FPC2) P) の交換が容易である。

[0109] PCBは表示制御装置110や電源回路1 2 0 が搭載されるインタフェース基板で、このインタン ェース基板(PCB)も多層のプリント基板で構成され る。本実施の形倣では、液晶表示パネル10の額椽領域 は、フレキシブルプリント基板 (FPC1) の下に重ね て配置され両面テープ (BAT) でガラス基板 (SUB を小さくするために、インタフェース基板 (PCB) 1) に接着されている。

C2) のコネクタ (CT4) と電気的に接続される。同 様に、コネクタ (CTR3) はフレキシブルプリント基 板 (FPC1) のコネクタ (CT3) と電気的に接続さ 【0110】 インタフェース基板 (PCB) にはコネク ネクタ (CTR4) はフレキシブルブリント基板 (FP タ (CTR3) とコネクタ (CTR4) が設けられ、

レキシブルブリント配線基板 (FPC1) と、折り曲げ [0111] 図17は、液晶表示パネル10の周辺にフ

る前のフレキシブルブリント配線基板(FPC2)を実 装した状態を示す図である。また、図18は、図17に おいて、液晶表示パネル10とフレキシブルブリント配 **放基板 (FPC1, FPC2) とが接続されている部分**

tた、DTMはドレイン結子、GTMはゲート結子であ [01-12] なお, 図17, 図18において、TCON は扱示制御装置 110を構成する半導体チップであり、

な拡大して示す図である。

[0113] 図15、図16において、SUBは補強板 であり、下側シールドケース (LF1) とコネクタ (C タ (CTR4) から外れるのを防止している。SPC4 はシールドケース (SHD) と上個光板 (POL1) と T 4) との間に配置され、コネクタ (CT4) がコネク の間に設けられるスペーサであり、腐食布からなり後着 剤によりシールドケース (SHD) に貼り付けられてい

UB2) から引出し、上価光板 (POL1) と視野拡大 と視野拡大フィルム(VINC1)とをガラス基板(S で押さえている。この構成により、本実施の形態では額 フィルム (VINC1) とをシールドケース (SHD)・ [0114] 本実施の形態では、上個光板 (POL1) 隊領域を小さくしても充分な強度を確保している。

20

(SUB1) とが衝突するのを防止している。また、ド の部分には切り欠き (NOT) が散けられる。これによ 9、シールドケース (SHD) やドレインスペーサ (D SPC) が半導体チップ (IC1) に衝突することがな PC2) が刺儺するのを防止している。FUSは液晶表 [0115] DSPCはドレインスペーサであり、シー ルドケース(SHD)とガラス基板(SUB1)との関 くなる。また、ドレインスペーサ(DSPC)は、ガラ ス基板 (SUB1) の外部接標端子上にあるフレキンプ ルプリント基板 (FPC2) も押さえているので、ガラ ス基板 (SUB1) からフレキシブルブリント基板 (F レインスペーサ (DSPC) は半導体チップ (1C1) を覆うように散けられるので、半導体チップ (IC1) に散けられ、シールドケース(SHD)とガラス基板 示パネルの液晶封入口を封止する封止材である。

前記発明の実施の形態に基づき具体的に説明したが、本 発明は、前記発明の実施の形態に限定されるものではな 、、その要旨を逸脱しない範囲において種々変更可能で [0116]以上、本発明者によってなされた発明を ちろことは勿論である。

6

[0117]

的なものによって得られる効果を簡単に説明すれば、下 【発明の効果】本願において開示される発明のうち代表 記のとおりである。 [0118] (1) 本発明によれば、各画茶に印加され る多階調の階調電圧を生成する階調電圧生成回路におい て、分圧抵抗の抵抗値の最小値と最大値との福を広く設

特開平11-95726

9 • :

分圧低抗の抵抗値をよりきめ細かく設定することが可能 定することができるので、液晶層の透過率に合わせて、

[0119] (2) 本発明によれば、液晶表示パネルに 表示される多階調の表示画像をよりリニアに表示するこ とができる。

[図面の簡単な説明]

[図2] 図1に示す液晶表示パネルの一例の等価回路を 【図1】本発明の一実鉱の形態であるTFT方式の液晶 投示モジュールの概略構成を示すプロック図である。 示す図である。 9

[図3] 図1に示す液晶表示パネルの他の例の毎価回路 [図4] 図1 に示すドレインドライバからドレイン信号 を示す図である。

(1F01) に巴苔される液唱啓覧飼用と、コホン眞徳 (ITO2) に印加される液晶駆動電圧との関係を示す 線(D)に出力される液晶駆動電圧、即ち、画紫電極

[図5] 図1 に示すドワインドウイベの一宮の麒蛄槙段 示すプロック図である。

図である。

【図6】出力回路157の構成を中心に、図5に示すド レインドレイベ1300 存氏を認思するためのプロック 図である。 【図7】従来の階調電圧生成回路の回路構成を示す回路 図である。

[図8] 従来の階調電圧生成回路を構成する抵抗分圧回

[図9] 半導体チップ内での、従来の階調電圧生成回路 路の瓜み付けを脱明するための図である。 のレイアウトを示す図である。

るいは負極性階調電圧生成回路を構成する分圧抵抗回路 [図10] 本実施の形態の正極性階調電圧生成回路、あ の回路梯成を示す回路図である。

20

【図11】半草体チップ内での、本実施の形態の階臨電 圧生成回路のレイアウトを示す図である。

[図12] 本実施の形態の正極性階隔低圧生成回路の回 路構成を示す回路図である。

式図で、液晶投示パネルの投示面側から見た正面図、前 [図13] 本実施の形態の液晶表示モジュールの組立完 関面図、右側面図、左側面図および後側面図である。

[図15] 図13に示す!-1様で凹断した断面図、および、11-11様で凹断した断面図である。 [図14] 本実施の形態の液晶表示モジュールの組立完 **太図で、液晶表示パネルの英面側から見た図である。**

[図16] 図13に示す111-111線で切断した断 面図、および、IV-IV綠で切断した断面図である。

C、被晶投示パネルの周辺にフレキシブルブリント配数 基板(FPC1)と、折り曲げる前のフレキシブルプリ ント配線基板(FPC2)を奥装した状態を示す図であ 【図17】本実施の形態の液晶表示モジュールにおい ю

9-

20

特開平11-95726

(Z

ブルブリント配線基板 (FPC1,FPC2) とが接続 [図18] 図17において、液晶投示パネルとフレキシ されている部分を拡大して示す図である。

[図19] 液晶層に印加する低圧と透過率との関係を示 ナグラフである。

[你母の説明]

261…デコーダ間、262, 264…スイッチ間、2 10…液晶表示パネル (TFT-LCD)、19…階調 121, 122…電圧生成回路、123…コモン電極電 ン、140…ゲートドライベ、151a, 151b…階 岡업圧生成回路、152…制御回路、153…シフトレ ジスタ回路、154…入力レジスタ回路、155…スト レージレジスタ回路、156…レベケツレト回路、15 記線層、20…抵抗配線層、21…スルーホール、22 …層間絶縁膜、30…直列抵抗回路、100…インタフ 圧生成回路、124…ゲート電極電圧生成回路、130 7…出力回路、158a, 158b…包圧パスライン、 ェース部、110…数示制御装置、120…電源回路、 63…アンプ回路対、265…データラッチ部、27 …ドレインドライベ、131, 132, 135, 14 1, 142…信号線、133…表示データのパスライ

1, LCP2, LPC3…ランプケーブル、LP…冷陰 極蛍光灯、LF1,LF2…下倒シールドケースで、W 2…個光板、VINC1, VINC2…視野拡大フィル ム、LS…ランプ反射シート、GLB…導光板、RFS …反射シート、SPS…ブリズムシート、POR…億光 PC2…ブレキシブルプリント基板、EP…抵抗、コン ジュール、D…ドレイン信号線(映像信号線または垂直 モールドケース、SHD…シールドケース、LCT…袋 C1, I C2, TCON…半導体チップ、FPC1, F 信号線) 、G…ゲート信号線(走査信号線または水平信 タ、CSTG…保持容量、Cadd…付加容量、ML… 板、FUS…對止材、BM…隨光膜、POL1,POL 路、272…低電圧用アンプ回路、LCM…液晶表示モ 反射板、GC1…ゴムクッション、OL…Oリング、 | ゲンサ卛のチップ部品、PCB…インタフェース結核、 号線)、ITO1…画楽電極、ITO2…コモン電極 (1TO2)、TFT1, TFT2… 薄膜トランジス 3, CT4, CTR3, CTR4... = \$/2, LCP SPC…枠スペーサ、SUB1, SUB2…ガラス甚 読コネクタ、CT1…インタフェースコネクタ、CT

2

6.40×3×480 TPT-LCD <u>図</u> 図] Ś 읃 "城市压生成" インテフェース製版 **机火肥度强** î Û Ŝ ディスプンイライスング信号

中四萬四十

10 130 / FU42F34A

[図3] <u>図</u> <u>网</u> [図2]

[図12]

[図4]

BAT…両面テープ、SUB…補強板、SPC4…スペ

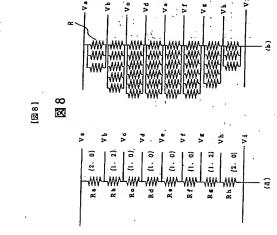
20

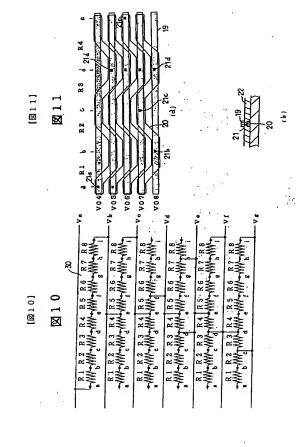
ーサ、DSPC…ドアインメルーキ。

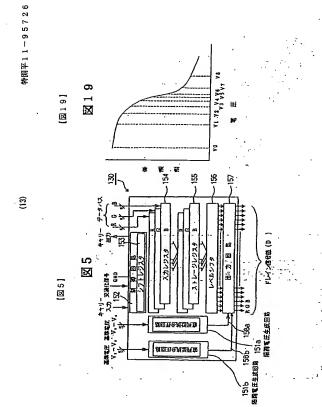
8, 279…デューダ回路、271…高電圧用アンプ回

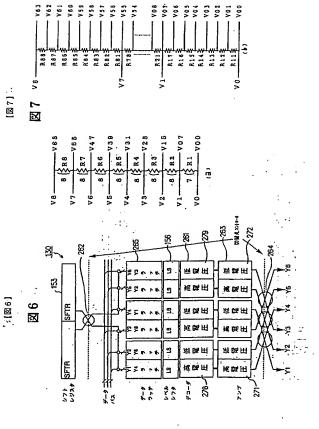
図12 食数を回のドライン仮名類の移動有圧 **=** 区4 化数据回の ドフイン何の数の開発真用 <u>⊠</u> [6図] VDL VCOM УDН

<u>|</u>



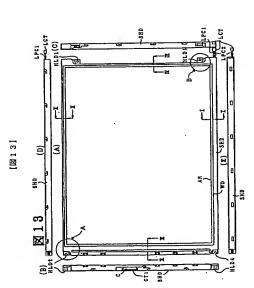


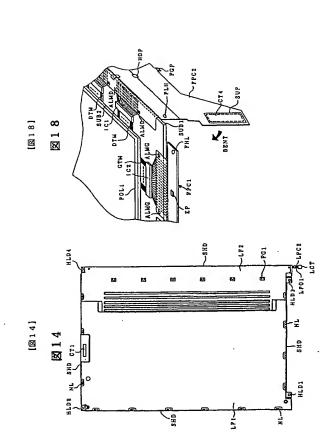


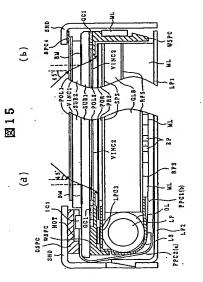


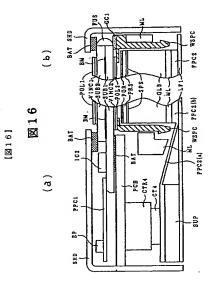
-13-

[図15]

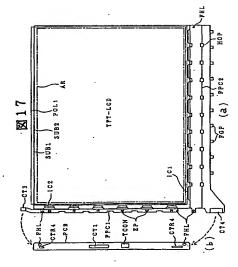








[図17]



フロントページの統令

(72)発明者 後藤 充

千乘県茂原市早野3300番地 株式会社日立 製作所電子デバイス事業部内

千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内 (72) 発明者 昆手 幸秀

千葉県茂原市早野3681番地 日立デバイス 被辽州 (72) 発明者

エンジニアリング株式会社内

[公報瓶別] 特許法第17条の2の規定による補正の掲載 [発行日] 平成14年6月26日 (2002, 6, 26) [部門区分] 第6部門第2区分

(公開日] 平成11年4月9日(19.99, 4.9) |公開番号|| 特開平11-95726

(年通号数】公開特許公報11-958

[出顧番号] 特顏平9-258047

[国際特許分類第7版]

575 1/133 9609 G02F

[F!]

1/133

575 3/36 9609

[手統補正魯]

[提出日] 平成14年3月19日 (2002. 3. 1

[手統補正1]

(補正対象啓類名) 明細番

[補正対象項目名] 特許請求の範囲

[補正方法] 変更

[補正内容]

「請求項1] マトリクス状に配置された複数の画案 [特許額水の範囲]

れた多路調の階調電圧の中の任意の階調電圧を映像信号 電圧として前記各回茶に印加する駆動手段とを具備する 液晶表示装置において、 前記階調電圧生成手段は、複数の階調基準電圧間を分圧 して多階額の階調電圧を生成する抵抗分圧回路を有し、 からなる複数の基準抵抗列を有し、

前記基準抵抗の各接続点の1つと、前記第1列の基準抵 前配抵抗分圧回路の分圧抵抗は、第1列の基準抵抗列の **杭列と隣り合う第2列の基準抵抗列の前配基準抵抗の各** 接続点の1つとを接続して形成された合成抵抗であるこ とを特徴とする液晶扱示装置。

前記階調電圧生成手段は、複数の階調基準電圧開を分圧 育する液晶表示パネルと、階間質圧生成手段を有し当該 **塔調電圧生成手段で生成された多階調の階調電圧の中の** 任意の階調館圧を映像信号電圧として前記各画築に印加 前記抵抗分圧回路の各分圧抵抗は、直列接続された複数 国の基準抵抗の各接統点、および直列接続された複数個 の基準抵抗における両端の基準抵抗の互いに他の基準抵 [間求項2] マトリクス状に配置された複数の画案を プレスを特別の格間電圧を生成する抵抗分圧回路を有り r る駆動手段とを具備する液晶表示装置において、

数個の基準抵抗における両端の互いに他の基準抵抗と接 前記避択された少なくとも1個以外の前記直列接続され **と複数個の基準抵抗各接続点、および直列接続された物 税されない始部の中から選択された少なくとも 1 個との** 前記各分圧抵抗の抵抗値は、液晶層に印加する低圧と透 **尚率との関係に合わせて所定の重み付けがなされている** [請求項3] 前記駆動手段は半路体集積回路で構成さ ことを特徴とする液晶表示装配。

間絶縁膜に設けられ、前記各階調電圧配線圏と前記各抵 前記半苺体集積回路は、前記多階調の階調電圧が出力さ れる複数の階調電圧配級層と、前記複数の階調電圧配線 **耐と同一方向に延在して散けられる前記複数の基準抵抗** を構成する複数の抵抗配線層と、前記各階調亀圧配線圈 と前記各抵抗配線層とを絶縁する層間絶縁膜と、前記層 抗配線層とを接続するスルーホールとを有し、

て、前記分圧抵抗の抵抗値を所定の値に關整することを 等徴とする請求項1または請求項2に記載された液晶姿 前記スルーホールの数および散置位置を適宜に避択し

[請求項4] 前記抵抗配線層は、ジグザクパターン状 こ形成されていることを特徴とする請求項3に記載され

た液晶 数示装置。 [手統補正2]

【補正対象苷類名】明細苷

[楠正対象項目名] 0012

[楠正方法] 変更

れた多階調の階調電圧の中の任意の階調電圧を映像信号 **虹圧として前記各画茶に印加する駆動手段とを具備する** 塔調馆圧生成手段を有し当該階調配圧生成手段で生成さ [0012] マトリクス状に配殴された複数の画祭と、 [補正内容]

抗と接続されない幅部の中から選択された少なくとも1

液品表示装度において、前記路間位圧生成手段は、複数の階調基準位圧置を分圧して多階調の階調程圧を生成する框彷分圧回路を有し、前記框彷分圧回路は、直列接続された複数の基準框がからなる複数の基準框抗列を有し、前記框抗分圧回路の分圧抵抗は、第1列の基準抵抗し、前回距抗分子回路の分圧抵抗は、第1列の基準抵抗

列の前記基準抵抗の各接税点の1つと、前記第1列の基準抵抗列とは 準抵抗列と隣り合う第2列の基準抵抗列の前記基準抵抗 の各接税点の1つとを接続して形成された合成抵抗であ ることを特徴とする。

-2-